

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-174822

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

F 7630-4M

G 0 1 R 31/ 28

V

E

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願平5-321709

(22) 出願日

平成5年(1993)12月21日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 金銅 恒

東京都千代田区内幸町2-2-3 日比谷
国際ビル 川崎製鉄株式会社東京本社内

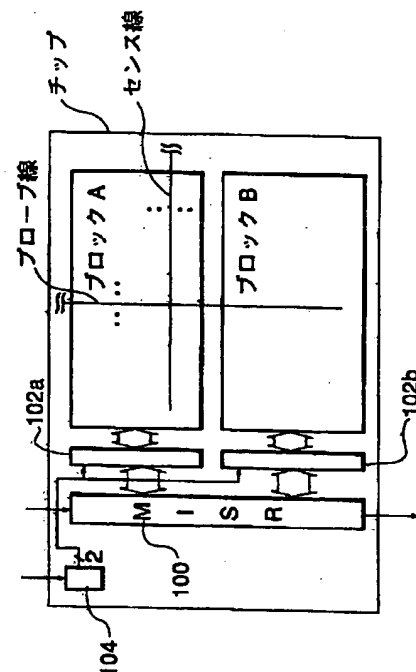
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 マトリクス・プロービング方式を採用した半導体集積回路装置において、テストデータの作成の容易な半導体集積回路装置を提供する。

【構成】 被検査回路は、ブロックAとブロックBとから構成されている。ブロックA上のセンス線は、マスク回路102aに接続されている。一方、ブロックB上のセンス線はマスク回路102bに接続されている。これらのマスク回路は制御信号によって各センス線の信号の値をそのままMISR100に供給するか、もしくは「Low」に固定した値を供給する。マスク回路102bを制御することにより、ブロックBからのセンス線の信号の値として全て「Low」をMISR100に供給すると、MISR100はブロックAからのセンス線のみに基づいてシグネチャーを計算する。従って、テストデータをブロックAに対してのみ与えて、ブロックAのみのテストを行うことが可能である。



【特許請求の範囲】

【請求項 1】 プローブ線とセンス線とを備え、回路内部の測定点における信号の値を読み出すマトリクスプロービング方式によるテスト機能を有する半導体集積回路装置において、

前記センス線上の信号が供給される M I S R と、

前記 M I S R に供給される前記センス線上の信号を、外部からの制御信号に基づき、各センス線ごとにマスクするマスク手段と、

を含み、前記 M I S R は、マスクされているセンス線以外のセンス線に対するシグネチャを算出することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関する。特に、機能テストが容易に行える半導体集積回路装置及びその半導体集積回路装置におけるテスト方法に関する。

【0002】

【従来の技術】 半導体集積回路装置は、近年高密度化と高機能化が著しく進展し、その結果半導体集積回路の機能テストが大きな問題となってきた。半導体集積回路装置のテストを容易にするために、様々なテスト容易化手法が提案されている。それらは、例えば、スキャン・パス法や、バウンダリ・スキャン法等、各種の手法が提案され、また実現されている。

【0003】 近年、マトリクス・プロービング方式と呼ばれるテスト容易化手法が提案されている。このマトリクス・プロービング方式は、半導体集積回路装置を構成する各ゲートの出力端子に、データ読み出し/書き込み用のスイッチ素子を設け、全てのゲートの出力信号を観測しようとするものである。この各スイッチ素子の ON/OFF を制御するために、プローブ線が設けられ、このプローブ線に直交するようにデータを読み出すためのセンス線が設けられている。

【0004】 図 3 には、このようなマトリクス・プロービング方式による半導体集積回路装置のチップの平面図が示されている。図 3 において、P1、P2、…PN で示されているのが、N 本のプローブ線であり、これらのプローブ線 P1～PN と直交して、センス線 S1、S2、…Sm が設けられている。図 3 に示されているように、プローブ線 P1～PN とセンス線 S1～Sm とのそれぞれの交点には、スイッチ素子 10 が設けられている。図 3 に示されているように、この各スイッチ素子 10 はプローブ線 P1～PN によってその ON/OFF が制御され、各ゲートの出力信号をセンス線 S1～Sm に出力する。

【0005】 図 4 には、マトリクス・プロービング方式におけるプローブ線 P1～PN と、センス線 S1～Sm との取扱にシフトレジスタを用いた例の回路図が示され

ている。図 4 に示されているように、プローブ線 P1～PN は、シフトレジスタ 27 に保持されているデータによって駆動される。このシフトレジスタ 27 に供給されるデータは、入力端子 33 を介して入力される。そして、各センス線 S1～Sm にあらわれた信号は、シフトレジスタ 28 に入力し、このシフトレジスタ 28 によってシリアルに出力端子 32 から出力される。このように、シフトレジスタ 27、28 を用いることにより、半導体集積回路装置に必要な端子の個数を減らすことが可能である。なお、センス線 S1～Sm に接続されているシフトレジスタ 28 は、データの入力だけでなく、内部回路に初期値の書き込みをする場合にも用いられる。このような初期値は、例えば入力端子 31 を介してシフトレジスタ 28 に格納される。

【0006】 このように、マトリクス・プロービング方式によるテストは、基本的にゲートの出力信号を全て読み出すため、そのテスト結果の量が膨大なものとなる。そこで、センス線 S1～Sm から読み出したデータをデータ圧縮してから外部に読み出す手法が提案されている。図 5 には、このような目的のために、センス線 S1～Sm に、リニアフィードバックシフトレジスタ (LFSR) を接続した場合の回路図が示されている。図 5 に示されているように、各センス線 S1～Sm にはリニアフィードバックシフトレジスタ 36 が接続されている。このリニアフィードバックシフトレジスタは、図 5 に示されているように、シフトレジスタの所定の段から、初段にフィードバックをかけた構成を成している。このフィードバックのかけ方によって、このリニアフィードバックシフトレジスタ (以下、LFSR と呼ぶ) は、所定のいわゆる生成多項式をあらわす。この結果、出力端子 43 から出力される値は、センス線 S1～Sm にあらわれた信号を、この生成多項式で除算した余りとなる。このような構成により、データの圧縮を図ることができ、効率的なテストが可能となる。

【0007】 以上のような、マトリクス・プロービング方式による半導体集積回路装置が、例えば米国特許 4749947 号に記載されている。また、同様な半導体集積回路装置が特開平 1-179338 号公報にも記載されている。

【0008】 さらに、米国特許 5157627 号には、マトリクス・プロービング方式において、内部回路に所定の初期値を設定する手法についての記述がある。また、米国特許 5179534 号には、マトリクス・プロービング方式において、内部回路に初期値を設定し易くする手法について記述がある。

【0009】

【発明が解決しようとする課題】 上述したように、従来のマトリクス・プロービング方式による半導体集積回路装置においては、被検査回路である内部回路の各ゲートの出力端子からの出力信号が全て LFSR (一般には複

数のセンス線 $S_1 \sim S_m$ が接続されるため、他入力のみ $MISR$ となる。従って、以下 $MISR$ と呼ぶ) に供給され、所定のデータ圧縮が行われ、所定のシグネチャーがこの $MISR$ から出力される。

【0010】この為、従来のこのような半導体集積回路装置に対するテストデータは、内部回路の全ての個所に対して特定の値を設定する必要があった。もし、不適切なデータ、または不定なデータが存在すれば、 $MISR$ から出力されるシグネチャーによるテストが信頼性の低いものとなってしまう。

【0011】従って、この半導体集積回路に対して作成されるテストデータは回路全体の値を定めなくてはならないので膨大な量のテストデータとなってしまう。

【0012】一方、半導体集積回路の設計においては、そのブロック毎に機能が定められる場合が多く、その結果、ブロック毎にテストデータの作成が行えれば、極めて便利である。また、回路を構成するブロック毎にテストデータを設定できれば、テストデータの作成もし易く、テストデータ全体の量も少なくなることが期待される。

【0013】本発明は、上記課題に鑑みなされたものであり、その目的は、マトリクス・ブローピング方式を採用した半導体集積回路装置において、回路の各ブロック毎にシグネチャーを出力することが可能な半導体集積回路装置を提供することである。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明は、ブロープ線とセンス線とを備え、回路内部の測定点における信号の値を読み出すマトリクスブローピング方式によるテスト機能を有する半導体集積回路装置において、前記センス線上の信号が供給される $MISR$ と、前記 $MISR$ に供給される前記センス線上の信号を、外部からの制御信号に基づき、各センス線ごとにマスクするマスク手段と、を含み、前記 $MISR$ は、マスクされているセンス線以外のセンス線に対するシグネチャーを算出することを特徴とする半導体集積回路装置である。

【0015】

【作用】本発明のマスク手段は、制御信号に基づいて、所定のセンス線をマスクし、 $MISR$ に送出しない。その為、 $MISR$ は、マスクされていないセンス線の信号のみに基づきシグネチャーを算出し、外部に出力する。

【0016】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。

【0017】図1には、本発明の好適な実施例である半導体集積回路装置の構成ブロック図が示されている。図1に示されているように、この半導体集積回路装置のチップ上には、ブロックAと、ブロックBとの2つのブロックからなる回路が設けられている。そして、マトリッ

クス・ブローピング方式におけるブロープ線がブロックA及びBにまたがって配設されている。一方、このブロープ線と直角に交わるセンス線は、それぞれのブロックA及びB毎に独立に設けられている。このブロープ線及びセンス線は、それぞれ複数本設けられているが、図1においては省略してそれぞれ1本ずつしか示されていない。

【0018】本実施例において特徴的なことは、センス線は、直接 $MISR100$ に接続されているのではなく、マスク回路102a、102bを介して接続されていることである。このマスク回路102aはブロックAに対して設けられており、マスク回路102bはブロックBに対して設けられている。すなわち、ブロックAに配置されている各センス線は全てマスク回路102aに接続されており、ブロックBの上に配置されている全てのセンス線はマスク回路102bに接続されている。

【0019】マスク回路102a、102bは、制御回路104からのイネーブル信号 $EN1$ 、 $EN2$ によって制御されている。マスク回路102aはイネーブル信号 $EN1$ によって制御されて、このイネーブル信号 $EN1$ が「High」である場合に、接続されているセンス線上の信号をそのまま $MISR100$ に伝達する。マスク回路102bも同様に、イネーブル信号 $EN2$ が「High」である場合に接続されている「ブロックB上の」センス線の信号をそのまま $MISR100$ に送出する。そして、イネーブル信号 $EN1$ 、 $EN2$ が「Low」である場合には、それぞれのマスク回路102a、102bは、常に「Low」の値の信号を $MISR100$ に供給する。

【0020】制御回路104は、2ビットのレジスタであり、このレジスタには、外部から値がセットされる。そして、外部からセットされたこの2ビットの値がそのままイネーブル信号 $EN1$ 、 $EN2$ として、マスク回路102a、102bにそれぞれ供給されるのである。

【0021】このように、本実施例における半導体集積回路装置においては、外部からの設定によりブロックAもしくはブロックBのいずれかからのセンス線の信号の値を強制的に「Low」とすることが可能である。従って、この半導体集積回路装置に対するテストデータを作成する際には、ブロックAのみに対するテストデータ、そしてブロックBのみに対するテストデータとをそれぞれ独立に作成することが可能である。その結果、テストデータの作成を迅速に行うことができ、また、テストデータの量が膨大になることを防止することが可能である。それにともない、この半導体集積回路装置のテストに必要な時間も短縮することが可能である。

【0022】本実施例において特徴的な構成であるマスク回路102a、102bの回路図が図2に示されている。図2に示されているように、マスク回路102a、102bは、それぞれ複数のANDゲート106から構

成されている。そして、各ANDゲート106の一方の端子はイネーブル信号EN1またはEN2に接続され、他方はブロックAもしくはブロックBからのセンス線に接続されている。そして、各ANDゲート106の出力信号は、MISR100に供給されている。このような構成により、イネーブル信号EN1、EN2が「High」である場合には、それぞれのセンス線の信号の値がそのままMISR100に供給されるが、イネーブル信号EN1、EN2の値が「Low」である場合には、それぞれのセンス線の信号の値はMISR100には伝えられず、MISR100には常に「Low」の値の信号が供給されるのである。

【0023】本実施例において特徴的なことは、外部から制御信号を設定することによりブロックAもしくはブロックB上のセンス線の値を強制的に「Low」として、MISR100にこの「Low」の値を供給させることが可能なことである。この結果、例えばブロックAに対してのみテストを行いたい場合には、ブロックAに対してテストデータを供給し、イネーブル信号EN2を「Low」とする事によってブロックB上のセンス線の信号の値を「Low」とし、MISR100にブロックAからのセンス線に対してのみシグネチャーを計算させることが可能である。なお、ブロックBに対してのみシグネチャーを計算する場合には、イネーブル信号EN2を「High」として、イネーブル信号EN1を「Low」とする事により達成される。

【0024】以上述べたように、本実施例によれば、マトリクス・ブローピング方式を採用した半導体集積回路装置において、内部回路の所定のブロックからのセンス線をマスクする回路を設けたので、MISR100に所望のセンス線のみに対するシグネチャーを計算させることが可能となった。従って、各ブロック毎にテストデ

ータを作成することが可能となり、テストデータの作成が容易になると共に、その量が膨大となることを防止することが可能である。

【0025】

【発明の効果】この様に、本発明によればセンス線をマスクする手段を設けたので、所望のセンス線に対してのみシグネチャーを算出することが可能である。その結果、テストデータの作成を所望の例えばブロック毎にする事が可能となりテストデータの作成が容易になると共に、その量が膨大となることを防止することができる。

【0026】また、テストデータの量を減少させる事によりテスト自体に必要な時間を短縮することが可能となる。

【図面の簡単な説明】

【図1】本発明の好適な実施例を表す半導体集積回路装置の構成ブロック図である。

【図2】マスク回路102a、102bの詳細な回路図である。

【図3】従来のマトリクス・ブローピング方式を利用した半導体集積回路装置の平面図である。

【図4】従来のマトリクス・ブローピング方式を利用した半導体集積回路装置において、シフトレジスタが使用されている様子を表す説明図である。

【図5】従来のマトリクス・ブローピング方式を利用した半導体集積回路装置において、各センス線S1～SmにLFSRが接続されている様子を示す説明図である。

【符号の説明】

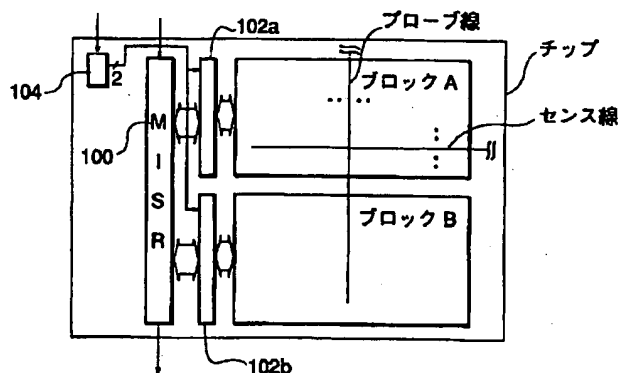
100 MISR

102a、102b マスク回路

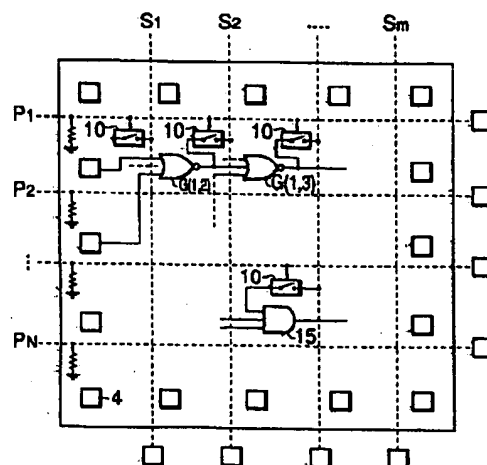
104 制御回路

106 ANDゲート

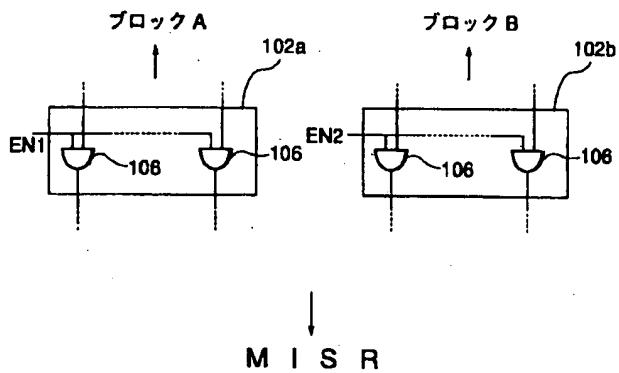
【図1】



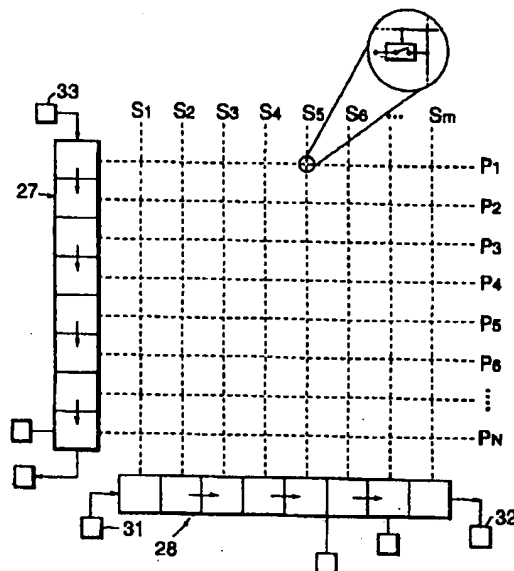
【図3】



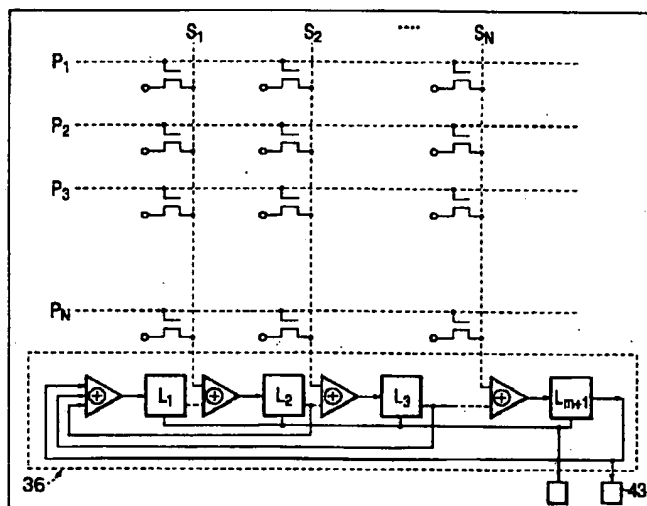
【図 2】



【図 4】



【図 5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-174822

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 05-321709

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 21.12.1993

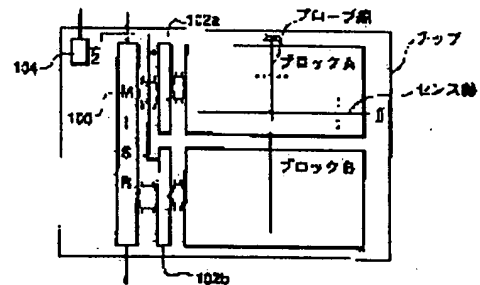
(72)Inventor : KONDOU HISASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device whose testing data can be made easily wherein a matrix probing method is employed for the device.

CONSTITUTION: A circuit to be tested is composed of a block A and a block B. A sense line of the block A is connected to a mask circuit 102a. Meanwhile, a sense line of the block B is connected to a mask circuit 102b. These mask circuits send the value of the signal of each sense line to an MISR 100 as the value of the signal or send the fixed value 'low', according to a control signal. When the 'low' is supplied to the MISR 100 as the value of all the signals of the sense line of the block B by controlling the mask circuit 102b, the MISR 100 computes the signature based on the value of the signal of the sense line of the block A. As a result, testing data are supplied only to the block A and a test only of the block A can be carried out.



LEGAL STATUS

[Date of request for examination] 20.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2882743

[Date of registration] 05.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[0009][Problems to be solved by the invention]

As described above, in a semiconductor IC device using the matrix probing method of the prior art, output signals from output terminals of each gate of the internal CUT are all supplied to the LFSR (Generally, a multiple input MISR because multiple sense lines S_1 – S_m are connected to it. Therefore, in the following, MISR), where certain data compression is carried out, and a certain signature is output from the MISR.

[0010]

For this reason, for this kind of conventional semiconductor IC device, it was necessary to set as test data specific values for each part of an internal circuit. If there was any invalid or undefined data, tests based on signature output of the MISR would have poor reliability.

[0011]

Therefore, test data produced for this semiconductor IC device had to specify values for the entire circuit, and the size of test data became enormous.

[0012]

Further, in semiconductor IC design, functionality is often defined by circuit block, and as a result, being able to produce test data for each block would be extremely convenient.

Further, by setting test data for each structural circuit block, test data generation would be easier and the quantity of total test data could be expected to decrease.

[0013]

The present invention, in light of the problems described above, aims to offer a semiconductor IC device using matrix probing which is capable of outputting a signature for each block of a circuit.

[0014] [Means for solving the problems]*

In order to solve the above mentioned problems, the present invention is a semiconductor IC device characterized by being a semiconductor IC device with test function based on the matrix probing method which, equipped with probe lines and sense lines, reads out signal values at test points inside a circuit, and includes a MISR to which is supplied signals from said sense line, and a masking means that masks, based on an external control signal, by sense lines the signal from said sense lines supplied to said MISR, where said MISR calculates the signature of all sense lines excepting the masked sense lines.

[0015] [Effect of the invention]

* This paragraph is taken directly from the Claim, and so is formatted with tabs

The masking means of the present invention masks certain sense lines based on a control signal, and [data from that sense line] is not sent to the MISR. In this way, the MISR calculates and outputs a signature based on the signals of the non-masked sense lines.

[0016] [Preferred embodiments]

Below, a preferred embodiment of the present invention is explained based on the figures.

[0017]

Fig 1 is a schematic block diagram of a semiconductor IC device that is a preferred embodiment of the present invention. As shown in Fig 1, on the chip of this semiconductor IC device is a circuit comprising two blocks, block A and block B. Further, the probe line used for the matrix probing method extends over blocks A and B. Moreover, the sense lines, which form right angles with the probe lines, are provided independently for each block A and B. Multiple probe and sense lines are provided, but in Fig 1 they are abbreviated to one line of each kind.

[0018]

The distinguishing feature of the present preferred embodiment is that the sense lines are not connected directly to MISR 100, but are connected to it via mask circuits 102a and 102b. Mask circuit 102a is supplied for block A, and mask circuit 102b for block B. In other words, all sense lines supplied in block A are connected to mask circuit 102a, and all sense lines supplied in block B are connected to mask circuit 102b.

[0019]

Mask circuits 102a and 102b are controlled by enable signals EN1 and EN2 from control circuit 104. Mask circuit 102a is controlled by means of enable signal EN1: when enable signal EN 1 is HIGH, the signal from the connected sense lines is transmitted without modification to MISR 100. The same applies for mask circuit 102b: when enable signal EN2 is HIGH, the signals from the sense lines connected to block B are output without modification to MISR 100. If either enable signal EN1 or EN2 is LOW, the respective mask circuit 102a or 102b will always supply a LOW signal to MISR 100.

[0020]

Control circuit 104 is 2-bit register whose value is set externally. As such, the externally set 2-bit value is supplied without modification to mask circuits 102a and 102b as enable signals EN1 and EN2.

[0021]

In this way, in the semiconductor IC device of the present preferred embodiment, it is possible to force to LOW the values of sense line signals from any of blocks A or B by means of an external setting. Therefore, when generating test data for the present semiconductor IC device, one can independently generate test data to be applied only to block A or test data to be applied only to block B. As a result, test data generation can be generated quickly, and the size of the test data can be prevented from becoming too big. In addition to that, the time required for testing the semiconductor IC device can be cut down.

[0022]

A circuit diagram of mask circuits 102a and 102b, which are the distinguishing structure of the present preferred embodiment, is shown in Fig 2. As shown in Fig 2, mask circuits 102a and 102b each comprise multiple AND gates 106. Further, one terminal of each AND gate 106 is connected to enable signal EN1 or EN2, and the other terminal is connected to a sense line from block A or block B. Further, the output of each AND gate 106 is supplied to MISR 100. By this arrangement, when enable signals EN1 or EN2 are HIGH, sense line signal values are supplied without modification, but when enable signals EN1 or EN2 are LOW, the respective signal values are not relayed to MISR 100, but a LOW-value signal is constantly supplied to MISR 100 instead.

[0023]

The distinguishing feature in the present preferred embodiment is that by means of externally setting the control signal, the sense line values from blocks A or B can be forced to LOW, and this LOW-value is supplied to MISR 100. As a result, in order to run a test only on block A, for example, test data for block A is supplied, and by setting enable signal EN2 to LOW, the value of the block B sense line data signal is set to LOW, and MISR 100 can be made to calculate the signature of only the sense lines from block A. Further, in order to calculate a signature of only block B, enable signal EN2 is set to HIGH, and enable signal EN1 is set to LOW.

[0024]

As described above, by means of the present preferred embodiment, in a semiconductor IC device using matrix probing, because a circuit is supplied which masks sense lines from selected blocks of the internal circuit, it is possible to calculate signatures in MISR 100 corresponding only to desired sense lines. Consequently, it is possible to generate test data by block, and test data generation is not only easier, but also its size can be prevented from getting too big.

[0025]

In this way, supplied with a means for masking sense lines according to the present invention, the signature corresponding to desired sense lines can be computed. As a result, it is possible to generate test data for each desired unit, for example, for each block, and test data generation is not only simple, but its size can also be prevented from getting too big.

[0026]

Also, by decreasing the size of the test data, the time spent on the tests themselves can also be decreased.

[Simple Description of the Figures]

1. Schematic block diagram of a semiconductor IC device showing the preferred embodiment of the present invention.
2. Detailed circuit diagram of mask circuits 102a and 102b.
3. Plane figure of a semiconductor IC device using conventional matrix probing

4. Explanatory diagram showing how a shift register is used in a semiconductor IC device using conventional matrix probing.
5. Explanatory diagram showing how an LFSR is connected to each sense line S1~Sm in a semiconductor IC device using conventional matrix probing.

[Description of numbering in the figures]

100 MISR

102a, 102b Mask circuit

104 Control circuit

106 AND gate

Fig 5

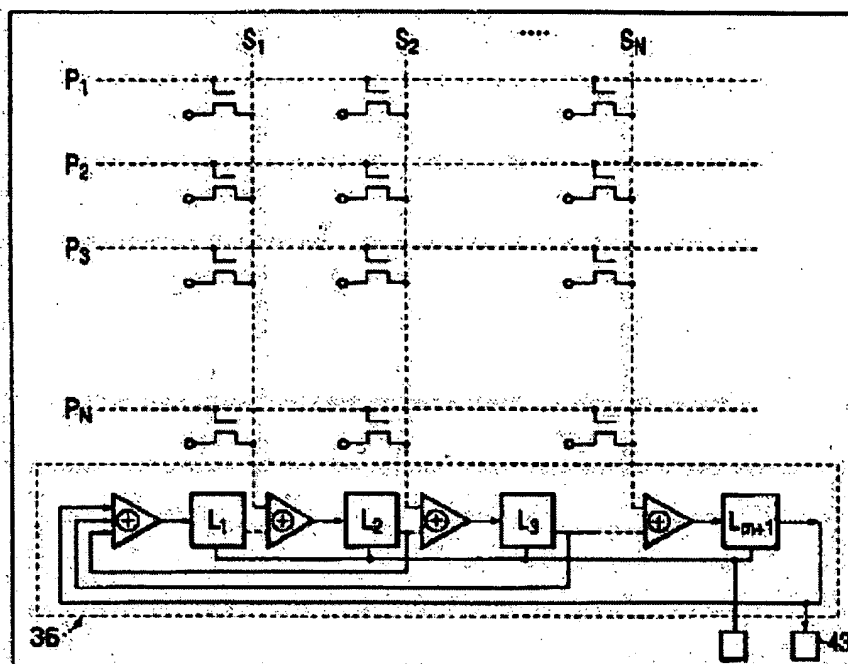


Fig 1

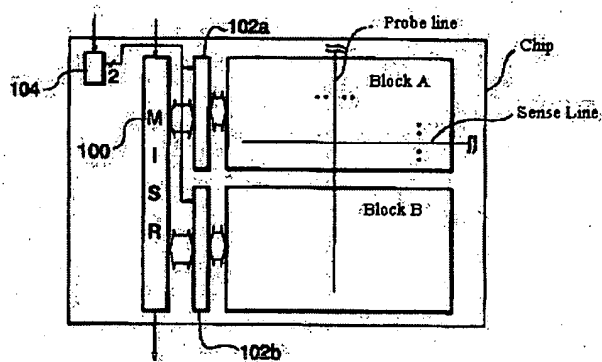


Fig 3

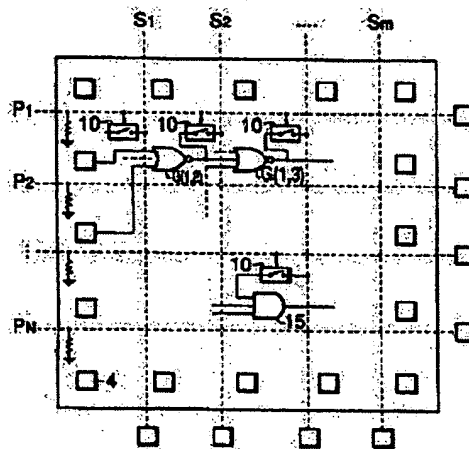


Fig 2.

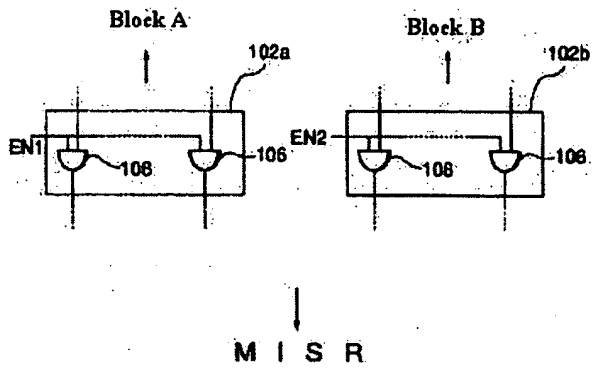
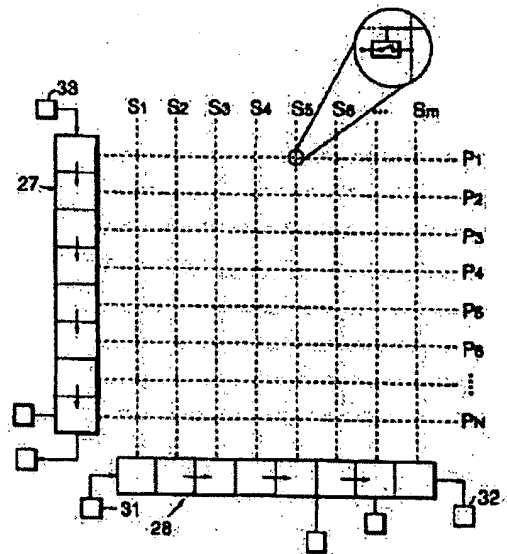


Fig 4.



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.